

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-207352

(43)Date of publication of application : 28.07.2000

(51)Int.Cl. G06F 13/28  
G06F 13/30  
G06F 13/362

(21)Application number : 11-006916

(71)Applicant : HITACHI COMMUN SYST INC

(22)Date of filing : 13.01.1999

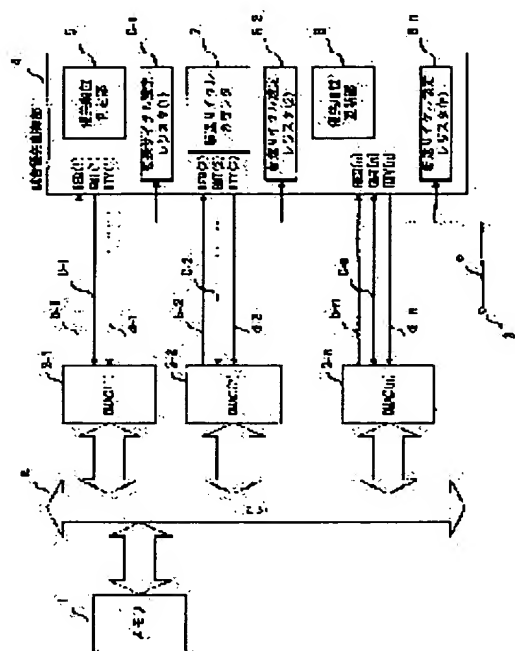
(72)Inventor : TAMURA YOSHIHIRO  
NAGATA TETSUYA

## (54) MEMORY ACCESS CONTENTION CONTROL METHOD, CIRCUIT THEREFOR AND DATA PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make the bus request from a DMAC having higher priority allowable even in a state such that DMA transfer processing is performed by some DMAC.

**SOLUTION:** When, for example, a bus request is made from a DMAC 2-1 having higher priority than another DMAC 2-2 has in a state such that the DMAC 202 makes DMA transfer processing with a shared memory 1, the DMAC 2-1 is made to acquire a bus by forcibly interrupting the DMA transfer processing after the time corresponding to a set DMA transfer cycle number has elapsed under the DMA transfer interrupting/terminating condition set on a register 6-1 correspondingly to the DMAC 2-2 or after the transfer processing ends.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-207352

(P2000-207352A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト*(参考)
G 0 6 F 13/28	3 1 0	G 0 6 F 13/28	3 1 0 B 5 B 0 6 1
13/30		13/30	
13/362	5 1 0	13/362	5 1 0 G
	5 2 0		5 2 0 B

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21)出願番号 特願平11-6916

(22)出願日 平成11年1月13日(1999.1.13)

(71)出願人 000233479

日立通信システム株式会社

神奈川県横浜市戸塚区戸塚町180番地

(72)発明者 田村 義広

神奈川県横浜市戸塚区戸塚町180番地 日

立通信システム株式会社内

(72)発明者 永田 哲也

神奈川県横浜市戸塚区戸塚町180番地 日

立通信システム株式会社内

(74)代理人 100059269

弁理士 秋本 正実

Fターム(参考) 5B061 BA01 BA03 BB13 BB16 BC01

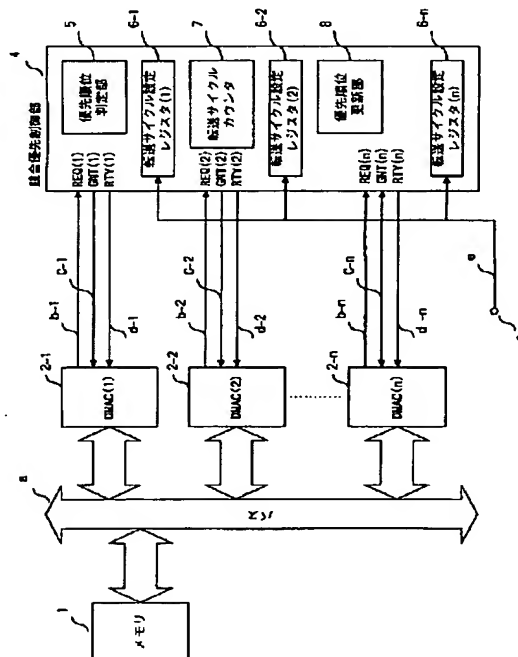
BC03 DD18

(54)【発明の名称】 メモリアクセス競合制御方法とその回路、並びにデータ処理装置

(57)【要約】

【課題】 何れかのDMACによりDMA転送処理が行われている状態でも、それよりも優先度が高い他DMACよりのバス要求を許容すること。

【解決手段】 例えばDMAC 2-2が共有メモリ1との間でDMA転送処理を行っている状態で、それよりも優先度が高いDMAC 2-1よりバス要求があった場合には、DMAC 2-2対応にレジスタ6-2上に設定されているDMA転送中断/終了条件にもとづき、設定DMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させるか、またはそのDMA転送処理の終了を待って、DMAC 2-1にバスを取得させるようにしたものである。



## 【特許請求の範囲】

【請求項1】 ラウンドロビン方式を前提としたメモリアクセス競合制御方法であって、何れかのダイレクトメモリアクセス制御回路によりバスが取得された上、共有メモリとの間で現にDMA転送処理が行われている状態で、該ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合のみ、上記ダイレクトメモリアクセス制御回路による上記DMA転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを

取得させるようにしたメモリアクセス競合制御方法。  
【請求項2】 ラウンドロビン方式を前提としたメモリアクセス競合制御方法であって、何れかのダイレクトメモリアクセス制御回路によりバスが取得された上、共有メモリとの間でDMA転送処理が行われている状態で、該ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合には、上記ダイレクトメモリアクセス制御回路対応に設定されているDMA転送中断条件としての設定DMA転送サイクル数相当の時間経過後に上記DMA

転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを取得させるようにしたメモリアクセス競合制御方法。  
【請求項3】 ラウンドロビン方式を前提としたメモリアクセス競合制御方法であって、何れかのダイレクトメモリアクセス制御回路によりバスが取得された上、共有メモリとの間でDMA転送処理が行われている状態で、該ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合には、上記ダイレクトメモリアクセス制御回路対応に設定されているDMA転送中断／終了条件が設定DMA転送サイクル数である場合は、該設定DMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを取得させる一方、上記DMA転送中断／終了条件がDMA転送処理終了である場合には、上記DMA転送処理の終了を待って、上記他ダイレクトメモリアクセス制御回路にバスを取得させるようにしたメモリアクセス競合制御方法。

【請求項4】 ラウンドロビン方式を前提としたメモリアクセス競合制御回路であって、ダイレクトメモリアクセス制御回路対応に設けられ、該ダイレクトメモリアクセス制御回路によるDMA転送処理を、該ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合に設定DMA転送サイクル数相当の時間経過後に強制的に中断させるか、中断させないかを判断させるためのDMA転送中断／終了条件が設定されるDMA転送中断／終了条件設定部と、共有メモリとの間で何等DMA転送処理が行われていな

い状態では、2以上のダイレクトメモリアクセス制御回路各々からのバス要求が競合する場合に、該バス要求から最も優先度が高いバス要求元ダイレクトメモリアクセス制御回路を判定した上、該バス要求元ダイレクトメモリアクセス制御回路にバスを取得させる一方、共有メモリと不特定ダイレクトメモリアクセス制御回路との間でDMA転送処理が現に行われている状態で、該不特定ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合には、上記不特定ダイレクトメモリアクセス制御回路対応に設けられているDMA転送中断／終了条件設定部を参照の上、該DMA転送中断／終了条件設定部に設定されているDMA転送中断／終了条件が設定DMA転送サイクル数である場合は、該設定DMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを取得させ、上記DMA転送中断／終了条件がDMA転送処理終了である場合には、上記DMA転送処理の終了を待って、上記他ダイレクトメモリアクセス制御回路にバスを取得させるべく制御する優先度判定部と、を少なくとも含むメモリアクセス競合制御回路。

【請求項5】 ラウンドロビン方式によるメモリアクセス競合制御回路による制御下に、ダイレクトメモリアクセス制御回路各々がバスを取得の上、共有メモリとの間でDMA転送処理が行われるべく構成されているデータ処理装置であって、メモリアクセス競合制御回路として、

ダイレクトメモリアクセス制御回路対応に設けられ、該ダイレクトメモリアクセス制御回路によるDMA転送処理を、該ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合に設定DMA転送サイクル数相当の時間経過後に強制的に中断させるか、中断させないかを判断させるためのDMA転送中断／終了条件が設定されるDMA転送中断／終了条件設定部と、

共有メモリとの間で何等DMA転送処理が行われていない状態では、2以上のダイレクトメモリアクセス制御回路各々からのバス要求が競合する場合に、該バス要求から最も優先度が高いバス要求元ダイレクトメモリアクセス制御回路を判定した上、該バス要求元ダイレクトメモリアクセス制御回路にバスを取得させる一方、共有メモリと不特定ダイレクトメモリアクセス制御回路との間でDMA転送処理が現に行われている状態で、該不特定ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合には、上記不特定ダイレクトメモリアクセス制御回路対応に設けられているDMA転送中断／終了条件設定部を参照の上、該DMA転送中断／終了条件設定部に設定されているDMA転送中断／終了条件が設定DMA転送サイクル数である場合は、該設定DMA転送サイ

クル数相当の時間経過後に上記DMA転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを取得させ、上記DMA転送中断／終了条件がDMA転送処理終了である場合には、上記DMA転送処理の終了を待って、上記他ダイレクトメモリアクセス制御回路にバスを取得させるべく制御する優先度判定部と、を少なくとも含む構成のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のダイレクトメモリアクセス制御回路（以下、単にDMACと称す）各々から共有メモリがアクセス可とされている状態で、2以上のDMAC各々から共有メモリへのメモリアクセス要求があった場合には、優先度が最大のDMACからのメモリアクセス要求が優先されつつも、複数のDMAC各々からはほぼ均等に共有メモリがメモリアクセス可とされるべく、メモリアクセス要求が制御されるようにしたメモリアクセス競合制御方法及その回路、更には、そのようなメモリアクセス競合制御回路を内部に含むデータ処理装置に関するものである。

【0002】

【従来の技術】これまでに、複数のDMACがメモリを共有する場合には、所定の方式でメモリアクセス競合を制御するバスアクセス制御方式が用いられており、この種のバスアクセス制御方式として一般的に広く用いられているものとしては、アクセス優先度固定方式とラウンドロビン方式が挙げられるものとなっている。このうち、アクセス優先度固定方式とは、予めDMAC各々に対するアクセス権の優先度を固定的に決定の上、この優先度に従ってメモリアクセス競合を制御する方式である。一方、ラウンドロビン方式とは、DMAC各々からのバスアクセスの割合が均等になるように、一旦バスアクセスが許可されたDMACに対しては、次サイクルでのアクセス上の優先度を最も低くする方式である。

【0003】

【発明が解決しようとする課題】しかしながら、アクセス優先度固定方式、ラウンドロビン方式の何れにしても、DMAC各々からのメモリアクセス要求動作に応じて最適にアクセスを許可することは困難となっているのが実情である。というのは、固定優先方式による場合、4つのDMAC各々からのバス要求信号（メモリアクセス要求）REQ0～REQ3に対し、その優先度がREQ0>REQ1>REQ2>REQ3として固定的に設定されているとして、例えばバス要求信号REQ0、REQ2が同時に出力される場合を想定すれば、バス要求信号REQ0出力元DMACが必然的にバスを取得することになり、バス要求信号REQ0、REQ2が同時に出力される限りにおいては、バス要求信号REQ2出力元DMACがバスを取得することはないからである。したがって、バス要求信号REQ0、REQ2の発生頻度が

ほぼ同一であるとすれば、バス要求信号REQ0がバス要求信号REQ2に優先的に許可される結果として、バス要求信号REQ2に係る処理が極めて実行されにくいという問題があったものである。

【0004】一方、ラウンドロビン方式による場合には、4つのDMAC各々からのバス要求信号REQ0～REQ3に対し、ある時点での優先度がREQ0>REQ1>REQ2>REQ3として設定されている状態で、バス要求信号REQ1、REQ2が同時に出力されたとすれば、バス要求信号REQ1出力元DMACがバスを取得することになる。しかし、そのバス取得後に、最も優先度が高いバス要求信号REQ0が出力されたとしても、バス要求信号REQ1出力元DMACによるDMA転送が終了しない限り、バス要求信号REQ0出力元DMACはバスを取得し得ないというものである。既述のように、ラウンドロビン方式はDMAC各々によるバス取得割合を均等化する方式であるも、バス要求からバス取得までに時間制限のあるDMACを含む場合での競合制御には必ずしも適合していなかったものである。

【0005】一般的には、これまでにあって、DMAC各々の優先度を予め考慮の上、システム設計が各種行われているにしても、常時、最適な優先度で動作するシステムを設計することは極めて困難であったものである。

【0006】本発明の第1の目的は、ラウンドロビン方式を前提として、何れかのDMACによりバスが取得された上、現にDMA転送処理が行われている状態であっても、そのDMACよりも優先度が高い他DMACよりバス要求があった場合には、そのDMACによるDMA転送処理を強制的に中断させた上、その他DMACにバスを取得させ得るメモリアクセス競合制御方法を供するにある。

【0007】本発明の第2の目的は、ラウンドロビン方式を前提として、何れかのDMACによりバスが取得された上、現にDMA転送処理が行われている状態であっても、そのDMACよりも優先度が高い他DMACよりバス要求があった場合には、そのDMAC対応に設定されているDMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを取得させ得るメモリアクセス競合制御方法を供するにある。

【0008】本発明の第3の目的は、ラウンドロビン方式を前提として、何れかのDMACによりバスが取得された上、現にDMA転送処理が行われている状態であっても、そのDMACよりも優先度が高い他DMACよりバス要求があった場合には、そのDMA対応に設定されているDMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させるか、または上記DMA転送処理の終了を待って、上記他ダイレクトメモリアクセス制御回路にバスを取得させ得るメモリアクセス競

合制御方法を供するにある。

【0009】本発明の第4の目的は、上記第3の目的に係るメモリアクセス競合制御方法が実施される上で好適とされた構成のメモリアクセス競合制御回路を供するにある。

【0010】本発明の第5の目的は、装置内部で複数のDMAC各々による分散処理が行われている場合に、それら分散処理が効率的に行われ得るデータ処理装置を供するにある。

【0011】

【課題を解決するための手段】上記第1～第3の目的のうち、特に第3の目的は、何れかのダイレクトメモリアクセス制御回路によりバスが取得された上、共有メモリとの間でDMA転送処理が行われている状態で、該ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合には、上記ダイレクトメモリアクセス制御回路対応に設定されているDMA転送中断／終了条件が設定DMAC転送サイクル数である場合は、該設定DMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを取得させる一方、上記DMA転送中断／終了条件がDMA転送処理終了である場合には、上記DMA転送処理の終了を待って、上記他ダイレクトメモリアクセス制御回路にバスを取得させることで達成される。

【0012】上記第4の目的は、その構成要素として、ダイレクトメモリアクセス制御回路対応に設けられ、該ダイレクトメモリアクセス制御回路によるDMA転送処理を、該ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合に設定DMA転送サイクル数相当の時間経過後に強制的に中断させるか、中断させないかを判断させるためのDMA転送中断／終了条件が設定されるDMA転送中断／終了条件設定部と、共有メモリとの間で何等DMA転送処理が行われていない状態では、2以上のダイレクトメモリアクセス制御回路各々からのバス要求が競合する場合に、該バス要求から最も優先度が高いバス要求元ダイレクトメモリアクセス制御回路を判定した上、該バス要求元ダイレクトメモリアクセス制御回路にバスを取得させる一方、共有メモリと不特定ダイレクトメモリアクセス制御回路との間でDMA転送処理が現に行われている状態で、該不特定ダイレクトメモリアクセス制御回路よりも優先度が高い他ダイレクトメモリアクセス制御回路よりバス要求があった場合には、上記不特定ダイレクトメモリアクセス制御回路対応に設けられているDMA転送中断／終了条件設定部を参照の上、該DMA転送中断／終了条件が設定DMA転送サイクル数である場合は、該設定DMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させた上、

上記他ダイレクトメモリアクセス制御回路にバスを取得させ、上記DMA転送中断／終了条件がDMA転送処理終了である場合には、上記DMA転送処理の終了を待って、上記他ダイレクトメモリアクセス制御回路にバスを取得させるべく制御する優先度判定部と、を少なくとも具備せしめることで達成される。

【0013】上記第5の目的は、上記DMA転送中断／終了条件設定部と優先度判定部とを少なくとも含むメモリアクセス競合制御回路を装置内部に具備せしめることで達成される。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図1、図2により説明する。さて、図1には本発明によるメモリアクセス競合制御回路としての競合優先制御部4の一例での内部ブロック構成が、複数のDMAC2-1～2-nや共通バスa、共有メモリ1とともに示されているが、これにより競合優先制御部4によるメモリアクセス競合制御動作を説明すれば以下のようである。

【0015】即ち、DMAC2-1～2-n各々からは、DMA転送処理の必要が生じる度に、共有メモリ1をアクセスすべく、競合優先制御部4に対しバス要求信号b-1～b-nが出力される一方、競合優先制御部4ではまた、その際に、共有メモリ1とDMAC2-1～2-nの何れかとの間で何等DMA転送が行われていない限り、その応答としてバス使用許可信号c-1～c-nがDMAC2-1～2-nに出力されるものとなっている。これによりDMAC2-1～2-n各々では、バス使用許可信号c-1～c-nを受信した上、初めて共有メモリ1に対しアクセスし得るものである。

【0016】以上は、バス要求信号b-1～b-nが何等競合しない場合でのメモリアクセス競合制御動作であるが、一般には、バス要求信号b-1～b-nのうち、何れか2以上のものが同時に出力される場合が頻度大にしてあり得、このような場合に、優先順位判定部5では、複数のバス要求信号各々についてその優先度が識別判定されることで、最も優先度が高いバス要求信号を出力したDMACに対してだけバス使用許可信号を出力する制御を行うものとなっている。優先順位更新部8ではまた、DMAC2-1～2-nの何れかが共有メモリ1に対するDMA転送処理が終了すれば、そのDMA転送処理を行ったDMACに対する優先度を最低に設定するとともに、空位となったそれまでの優先度を埋めるべく、その優先度未満の優先度が設定されていたDMAC各々に対する優先度は1つだけ繰り上げられるものとなっている（ラウンドロビン方式）。

【0017】以上の説明はあくまでも、これまでのラウンドロビン方式によるメモリアクセス競合制御上での動作である。実に、本発明はこれまでのラウンドロビン方式によるメモリアクセス競合制御を改善したものであり、基本的には、何れかのDMACによりバスが取得さ

れた上、共有メモリ1との間で現にDMA転送処理が行われている状態であっても、そのDMACよりも優先度が高い他DMACよりバス要求信号があった場合には、現に行われているDMA転送処理を強制的に中断させた上、その他DMACにバスを取得させるようにしたものである。ただ、一概にDMACといっても、実時間処理が要請されているDMACも存在したり、それとは逆に、全く実時間処理が要されないDMACも存在するなど、現に行われているDMA転送処理を即座に強制的に中断させることは必ずしも好ましいとはいえないものとなっている。例えば電子交換機用データ処理装置に例を採れば、データ処理装置内に具備されているDMAC各々には如何なるデータ種別のデータを扱うのか、その機能分担が予め定められたものとなっている。したがって、このような事情を考慮すれば、実時間処理が要請されているDMAC（例えば呼接続制御用）により現にDMA転送処理が行われている状態で、そのDMACよりも優先度が高い他DMACよりバス要求信号があった場合には、むしろ、そのDMA転送処理を強制的に中断させることなく、そのDMA転送処理の終了を待つて、他DMACにバスを取得させるようにするのが望ましいものとなっている。DMAC各々での特性が考慮されたメモリアクセス競合制御について説明すれば以下のようである。

【0018】即ち、競合優先制御部4内には、DMAC 2-1~2-n各々に対応して転送サイクル設定レジスタ（複数ビット容量）6-1~6-nが設けられており、端子3からの設定信号eによって、それら転送サイクル設定レジスタ6-1~6-n各々にはメモリアクセス競合制御時のバス占有可能サイクル数（DMA転送サイクル数）が設定されるものとなっている。これらバス占有可能サイクル数を随時更新可として設定することも考えられるが、通常、半固定的に設定すれば十分となっている。その際に、設定されるバス占有可能サイクル数としては、実時間処理が要請されているDMAC程にその値が大として設定されるが、一般的には、最小値（allビット“0”）～最大値（allビット“1”）がDMAC各々の特性に応じて予めDMA転送中断／終了条件として設定されるものとなっている。これにより、あるDMACに対し最小値が設定された場合には、そのDMACにより現にDMA転送処理が行われている状態で、それよりも優先度が高い他DMACよりバス要求信号があった場合には、そのDMA転送処理は強制的に中断されるが、最大値が設定された場合は、そのDMACにより現にDMA転送処理が行われている状態で、それよりも優先度が高い他DMACよりバス要求信号があったとしても、そのDMA転送処理は強制的に中断されることなく、そのDMA転送処理の終了を待つて、他DMACにバスを取得させるようにすればよいものである。最大値は無限大と見做されているものであ

る。具体的には、あるDMACにより現にDMA転送処理が行われている状態で、それよりも優先度が高い他DMACよりバス要求信号があった場合には、そのDMAC対応に設けられている転送サイクル設定レジスタからはDMA転送中断／終了条件が転送サイクルカウンタ7にロードされた後、転送サイクルカウンタ7はDMA転送サイクル毎に1ダウンカウント（デクリメント）されているものである。やがて、転送サイクルカウンタ7でのカウント値が“0”に達すれば、この時点で、DMA転送処理を現に行っているDMACに対し再送要求d-1~d-nを送出した上、バス要求信号を出力している他DMACに対しバス使用許可信号が送出されればよいものである。

【0019】最後に、本発明による競合優先制御部4でのメモリアクセス競合制御方法を図2により詳細に説明すれば以下のようである。即ち、DMACの数nが4であるとして、DMAC 2-1~2-4各々に対応するバス要求信号b-1~b-4の初期状態での優先度がb-1>b-2>b-3>b-4であるとすれば、先ずDMAC 2-1~2-4各々に対応する転送サイクル設定レジスタ6-1~6-4には、端子3よりDMA転送中断／終了条件が設定されるものとなっている（ステップS1）。その後、DMA転送中断／終了条件が設定された状態で、DMAC 2-1~2-4各々よりのバス要求信号b-1~b-4があるか否かが優先順位判定部5で判定されるが、この判定は1以上のバス要求信号があるまで繰返し実施されるものとなっている。やがて、1以上のバス要求信号が競合優先制御部4に出力された場合には、優先順位判定部5でバス要求信号を出力している最も優先度の高いDMACが判定されるものとなっている（ステップS3）。ここで、例えばバス要求信号b-3、b-4が同時に出力されたとすれば、ステップS3ではDMAC 2-3が最優先度DMACとして判定されるものである。これによりDMAC 2-3に対してのみ、バス使用許可信号C-3が競合優先制御部4より送出されているものである（ステップS4）。バス使用許可信号C-3の送出後、更に、DMAC 2-3よりも優先度が高いDMAC 2-1、2-2各々からのバス要求信号b-1、b-2があるか否かが優先順位判定部5で判定されるが（ステップS5）、ステップS5で高位優先度のDMAC 2-1、2-2からのバス要求信号b-1、b-2がない場合、DMAC 2-3による共有メモリ1に対するDMA転送処理が開始されるものとなっている（ステップS6）。その後、そのDMA転送処理の終了が判定されているが（ステップS7）、まだ、終了していないならばステップS5に、終了しているならば、優先順位更新部8でDMA転送を行ったDMAC 2-3の優先度は最低位になるべく、また、DMAC 2-3より優先度の低いDMAC 2-4の優先度は1つ繰上げられるべく、優先順位判定部5に設定されるものとな

っている(ステップS8)。これによりステップS8による更新後の優先度は、 $b-1 > b-2 > b-4 > b-3$ となるものである。

【0020】一方、ステップS5において、高位優先度のDMAC2-1、2-2からのバス要求信号 $b-1$ 、 $b-2$ がある場合には、DMAC2-3により共有メモリ1に対するDMA転送処理が実施されるも(ステップS9)、転送サイクル設定レジスタ6-3からのDMA転送中断/終了条件が転送サイクルカウンタ7にロードされた上、転送サイクルカウンタ7がDMA転送サイクル毎に1ダウンカウントされるものとなっている(ステップ10)。その後、転送サイクルカウンタ7でのカウント値が“0”か否かが判定され(ステップS11)、更に、そのカウント値が“0”でない場合には、DMA転送処理が終了したか否かが判定されるものとなっている(ステップ13)。DMA転送処理が終了していない場合はステップS9に、終了しているならばステップS8に、また、ステップS11で転送サイクルカウンタ7でのカウント値が“0”である場合、DMAC2-3に対し再送要求 $d-2$ が送出され(ステップS12)、ステップS3に戻された上、再度、優先順位判定部5でバス要求 $b-1$ 、 $b-2$ を出力している最優先度のDMAC2-1、2-2が判定されるものとなっている。これによりDMAC2-3は転送サイクルカウンタ7でのカウント値が“0”になるまでの期間に亘って、継続的にDMA転送処理を実行し得るものである。

【0021】

【発明の効果】以上、説明したように、請求項1～5各々による場合、以下の効果が得られるものとなっている。

請求項1：ラウンドロビン方式を前提として、何れかのDMACによりバスが取得された上、現にDMA転送処理が行われている状態であっても、そのDMACよりも優先度が高い他DMACよりバス要求があった場合には、そのDMACによるDMA転送処理を強制的に中断させた上、その他DMACにバスを取得させ得るメモリアクセス競合制御方法が得られる。

【0022】請求項2：ラウンドロビン方式を前提として、何れかのDMACによりバスが取得された上、現にDMA転送処理が行われている状態であっても、そのDMACよりも優先度が高い他DMACよりバス要求があった場合には、そのDMAC対応に設定されているDMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させた上、上記他ダイレクトメモリアクセス制御回路にバスを取得させ得るメモリアクセス競合制御方法が得られる。

10 【0023】請求項3：ラウンドロビン方式を前提として、何れかのDMACによりバスが取得された上、現にDMA転送処理が行われている状態であっても、そのDMACよりも優先度が高い他DMACよりバス要求があった場合には、そのDMAC対応に設定されているDMA転送サイクル数相当の時間経過後に上記DMA転送処理を強制的に中断させるか、または上記DMA転送処理の終了を待って、上記他ダイレクトメモリアクセス制御回路にバスを取得させ得るメモリアクセス競合制御方法が得られる。

20 【0024】請求項4：請求項3に係るメモリアクセス競合制御方法が実施される上で好適とされた構成のメモリアクセス競合制御回路が得られる。

【0025】請求項5：装置内部で複数のDMAC各々による分散処理が行われている場合に、それら分散処理が効率的に行われ得るデータ処理装置が得られる。

【図面の簡単な説明】

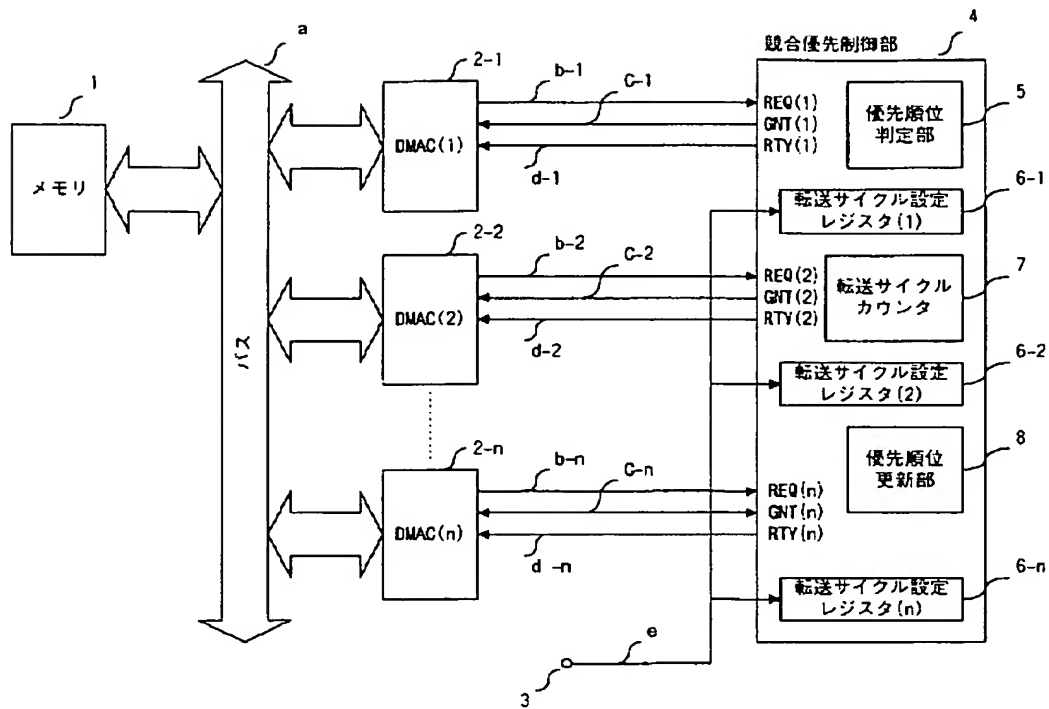
【図1】図1は、本発明によるメモリアクセス競合制御回路としての競合優先制御部の一例での内部ブロック構成を複数のDMACや共通バス、共有メモリとともに示す図

30 【図2】図2は、その競合優先制御部の一例での動作を説明するためのフローを示す図

【符号の説明】

1…共有メモリ、2-1～2-n…DMAC、4…競合優先制御部(メモリアクセス競合制御回路)、5…優先順位判定部、6-1～6-n…転送サイクル設定レジスタ、7…転送サイクルカウンタ、8…優先順位更新部

【図1】





【図2】

